

(19) Japanese Patent Office (JP)

(12) Official Gazette for Unexamined Patents (A)

(11) Kokai Patent No. 59[1984]-213,090

(43) Kokai Publication Date: December 1, 1984

(51) Int. Cl. ³ :	Identification	Patent Office
	Numbers:	File Nos:
G 11 C 11/34	1 0 1	8320—5 B
		6549—5 B

Number of Inventions: 2 Request for Examination: Not Requested

(Total of 6 Pages)

(54) Drive Circuit

(21) Patent Application No. 58-87041

(22) Filing Date: May 18, 1983

(72) Inventors: Nobukazu Saito
Toshiba Research and Development Center 1 Komukai,
Toshiba-cho Saiwai-ku, Kawasaki-shi

(71) Applicant: Toshiba Co., Ltd.
72, Horikawa-cho, Saiwai-ku, Kawasaki-shi

(74) Agent: Takehiko Suzue, Patent Attorney, and two others

Specification

1. Title of the Invention

Drive Circuit

(1) A drive circuit, characterized in that it comprises a P channel MOS transistor wherein the source has been connected to a first power source potential, and an N channel MOS transistor, which has been inserted and connected between the drain and the grounding terminal of this P channel MOS transistor, and in that it guides the output signals from the second power source circuit, which is actuated at a second power source potential lower than said first power source potential, as the gate input of these transistors, with the threshold voltage of said P channel MOS transistor being equal to or greater than the difference between said first power source potential and said second power source potential.

(2) The drive circuit according to claim 1, further characterized in that a CMOS inverter is formed by connecting the drain of said P channel MOS transistor and the drain of [said] N channel MOS transistor.

(3) The drive circuit according to claim 1, further characterized in that said CMOS inverter is used for a semiconductor memory and row decode signals are supplied as its input and word lines are driven by its output.

(4) A drive circuit, characterized in that it comprises an NOR gate with which a first and a second P channel MOS transistor are connected serially, with one end set at a first source potential and the other end grounded with a first and

a second N channel MOS transistor in between by parallel [connection], and first output signals from said second power source circuit are guided by connecting the gates of the first P channel MOS transistor and the first N channel MOS transistor, and second output signals from said second power source circuit are guided by connecting the gates of the second P channel MOS transistor and the second N channel MOS transistor, and in that at least one of the threshold voltages of said two P channel MOS transistors is equal to or greater than the difference between said first power source potential and said second power source potential.

(5) A drive circuit according to claim 4, further characterized in that said NOR gate is used in a semiconductor memory in which the memory cell array has been divided into multiple block rows, said first output signals are row decode signals, said second output signals are block row selection signals for selecting said multiple block rows, and word lines common to the memory cell are driven by the output of the NOR gate.

(6) A drive circuit according to claim 1, further characterized in that said second power source potential is generated by a constant-voltage circuit, which is actuated at the first power source potential.

3. Detailed Description of the Invention

[Technical Field of the Invention]

The present invention relates to a drive circuit that is used in the row decoder circuit of dynamic random access-type semiconductor memories, etc.

[Technical Background of the Invention]

The amount of charge held by memory cells has decreased due to the refinement of memory cells that has accompanied large-capacity dynamic random access memories (DRAM hereafter) and this has created problems in that soft errors occur with α -ray irradiation and the reading speed is delayed. Therefore, conventional DRAMs use capacitive coupling as shown in Figure 1 in order to increase the amount of charge held by the memory cell. That is, 1 through 4 are N channel enhancement (E) transistors of a row decoder circuit and 5 is the dynamic memory cell, which is made from N channel E-type transistor 6 for a transfer gate and memory capacity 7. WL is the word line and BL is the bit line. V_{DD} is the power source potential, ϕ is a block signal, and R_A and R_B are both row decode signals. V_{DD} potential is applied to the gates of above-mentioned transistors 1 and 4, signal R_A is applied to one end of transistor 1, R_B is applied to one end of transistor 4, and signal ϕ is applied to one end of transistor 2.

Now, when memory cell 5 is selected, first, signals R_A and R_B are brought to high potential (V_{DD}) and transistors 1 and 4 are brought to a conducting state (ON). At this time, the potential V_{P_1} of junction P between transistors 2 and 3 and potential V_{WL_1} of word line WL becomes

$$V_{P_1} = V_{WL_1} = V_{DD} - V_{TH_4} - V_{TH_3} \dots\dots(1)$$

Here, V_{TH_4} and V_{TH_3} are the respective threshold voltages of transistors 4 and 3, which have a back gate bias effect.

Moreover, the potential V_Q of junction Q between transistors 1 and 2 becomes

$$V_Q = V_{DD} - V_{TH1} \quad (2)$$

Here, V_{TH1} is the threshold voltage of transistor 1, which has a back gate bias effect. Next, block signal ϕ is applied (in other words, it is changed from ground potential to $V_\phi = V_{DD} + 2\text{ v}$). The input terminal of this block signal ϕ and above-mentioned Q are coupled at capacity C_1 , above-mentioned Q and above-mentioned P are coupled at capacity C_2 , above-mentioned P and illustrated R are coupled at capacity C_3 , and above-mentioned R and word line WL are coupled at capacity C_4 and therefore, the potential of above-mentioned Q, P, R and word line WL rises due to these capacitive couplings. Figure 2 shows changes over time in the potential V_{WL} of above-mentioned word line WL. Before block signals ϕ are applied, V_{WL} is V_{WL1} of above-mentioned formula (1) and after block signals ϕ have been applied, V_{WL} becomes almost V_ϕ (potential of block signal ϕ). For instance, when $V_{DD} = 5\text{ V}$, $V_{WL1} \simeq 2\text{ V}$ and $V_\phi \simeq 7\text{ V}$. Thus, word line WL is brought to the above-mentioned potential of approximately 7 V by application of block signal ϕ and writing and reading of memory cell 5 are performed. At this time, capacity 7 of memory cell 5 is charged to a potential of $V_{WL} - V_{THN}$ (threshold voltage of transfer gate 6, approximately 2 V) $\simeq 5\text{ V}$ and is read at 5 V.

[Problems of Prior Art]

However, as previously described, there is a disadvantage in that the circuit structure has been complicated by the increase in the amount of charge of

the memory cell capacity as a result of increasing the word line potential by capacitive coupling when block signals are applied, there is a disadvantage in that a large capacity is needed for coupling, and therefore, there is an increase in the surface area occupied on the memory chip, and there is a disadvantage in that the access time of the word line is prolonged by capacitive coupling.

[Object of the Invention]

The present invention is in light of these facts, and it presents a drive circuit with which the circuit structure is simple, the surface area occupied on the semiconductor chip is small, and the output line can be driven at high speed.

[Summary of the Invention]

That is, the present invention is characterized in that it comprises a P channel MOS transistor wherein the source has been connected to a first power source potential, and an N channel MOS transistor, which has been inserted and connected between the drain and the ground terminal of this P channel MOS transistor, and in that it guides the output signals from a second power source circuit, which is actuated at a second power source potential that is lower than said first power source potential, as the gate input of these transistors, with the threshold voltage of said P channel MOS transistor being equal to or greater than the difference between said first power source potential and said second power source potential.

By means of this type of circuit structure, the P channel transistor is ON and the N channel transistor is OFF when the gate input is at low potential (ground potential), and the output line that is connected to their drain is charged

at high speed from the ground potential to the first power source potential and it is driven at elevated voltage. Moreover, the N channel transistor is ON and the P channel transistor is OFF when the gate input is at high potential (second power source potential), and the above-mentioned output line is high-speed discharged to ground potential and it is driven at reduced voltage. Moreover, capacitive coupling and block signals ϕ are not used and therefore, the circuit structure is very simple and the surface area occupied on the semiconductor chip is small.

[Examples of the Invention]

An example of the present invention will now be described in detail while referring to the drawings.

5 in Figure 3 is a DRAM memory cell. Referring to Figure 1, it comprises transfer gate 6 and memory capacity 7, as previously described, and WL is the word line and BL is the bit line. 30 is the CMOS inverter comprising a CMOS transistor (complementary insulation gate-type transistor), and it is used as a drive circuit with which the above-mentioned word line WL is driven by row decode signals RC. That is, the source of P channel enhancement-type transistor 31 is connected to the first potential, the V_{DD1} potential, and the source of N channel enhancement-type transistor 31 is connected to the V_{SS} potential (ground potential), while the drains of both of the above-mentioned transistors 31 and 32 are connected together as well as to above-mentioned word line WL, and each gate is connected and row decode signals RC are applied.

Moreover, said row decode signal RC is made from a second power source system of power source potential VDD_2 that is lower than the power source potential VDD_1 of the above-mentioned first power source system and changes from V_{SS} (0 V) to VDD_2 . In this case, the VDD_2 potential is generated by a constant-voltage circuit (not illustrated) that is actuated by a first power source system.

Next, the actuation of the above-mentioned drive circuit will be explained. Now, when row decode signal RC is of low potential (V_{SS}), P channel transistor 31 is in the conducting state (ON) and N-channel transistor 32 is in the non-conducting (OFF). Consequently, the potential V_{WL} of word line WL becomes VDD_1 . In contrast to this, when row decode signal RC is of high potential (VDD_2), N channel transistor 32 is ON and P channel transistor 31 is OFF because its threshold voltage V_{THP} has been pre-set to

$$V_{THP} \geq VDD_1 - VDD_2$$

Consequently, the potential V_{WL} of the word line WL becomes V_{SS} . Changes over time in the potential V_{WL} of this word line WL are shown in Figure 4.

That is, by means of the above-mentioned drive circuit, high-speed access of word line WL from low potential (V_{SS}) to high potential (VDD_1) is possible without using the above-mentioned capacitive coupling. Therefore, this circuit structure is extremely simple and a large capacity for coupling is not necessary and thus, the surface area occupied on the memory chip is small.

Next, an example of application of the present invention will be described while referring to Figures 5 and 6. 11 in Figure 5 is the DRAM memory cell array

and it is equally divided into four blocks of, for instance, first block 11₁ through fourth block 11₄. 12 is the row decoder circuit and is actuated by a second power source system of VDD₂ potential. 13 is the inverter that inputs row decode signal \overline{RD} inside above-mentioned row decoding circuit 12, and it sends word line drive signals WD that change between the V_{SS} potential and the VDD₂ potential to common word line 14. This common word line is connected in common to each of above-mentioned block rows 11₁ through 11₄. On the other hand, 15 is the block row selection circuit and is made from an inverter that is actuated by the second power source system at the VDD₂ potential. Decode signals CD for block row selection are input and block row selection signals SD, which change between the V_{SS} potential and the VDD₂ potential, are output. Moreover, a word line drive circuit consisting of NOR gate 60 as shown in Figure 6 is set up at each of the above-mentioned block rows 11₁ through 11₄ for high-speed selection of both word line WL and memory cell 5 at each block row. That is, the word line drive circuit in Figure 6 is actuated by the first power source system. First and second P channel transistors 61 and 62 and first N channel transistor 63 are connected serially between the VDD₁ potential terminal and the V_{SS} potential terminal and second N channel transistor 64 is connected parallel to this first N channel transistor 63. Moreover, word line drive signals WD of above-mentioned common word line 14 are guided to each gate of above-mentioned transistors 61 and 63, above-mentioned block row selection signals SD are guided to each gate of transistors 62 and 64, and word [line] WL inside each block row is connected to the mutual junction of each drain of transistors 62, 63,

and 64. Furthermore, threshold voltage V_{TP1} of above-mentioned transistor 61 and threshold voltage V_{TP2} of transistor 62 are equal to or greater than the difference between V_{DD1} and V_{DD2} .

Consequently, when the signal WD of common word line 14 is at the low potential (V_{SS}) and the block row selection signal SD is at the low potential (V_{SS}), transistors 61 and 62 are ON and transistors 63 and 64 are OFF and word line WL is brought to the V_{DD1} potential and the selection of memory cell 5 is performed. In contrast to this, when the signal WD of common word line 14 or the block row selection signal SD is at high potential (V_{DD2}), transistor 61 or 62 is OFF and transistor 63 or 64 is ON and word line WL is brought to the V_{SS} potential and is in a state of non-selection.

Furthermore, at least one threshold voltage of P channel transistors 61 and 62 of the above-mentioned NOR gate can be $\geq V_{DD1} - V_{DD2}$.

In addition, modification is also possible whereby a block row selection circuit is set up corresponding to each block row 11₁ through 11₄ in Figure 5 and selection signals SD_i ($i = 1$ through 4) are guided from the corresponding block row selection circuit as one output of the above-mentioned NOR gate at each block row.

Furthermore, the use of the present invention is not limited to the DRAM used in the above-mentioned example and the example of application. It can also be used with a static RAM or EPROM (electrically programmable read only memory) having 2 power source systems with an internal power source potential (V_{DD2}) of, for instance, 3 V, etc.

Furthermore, the use of the present invention is not limited to the above-mentioned drive circuit for word lines. It can also be used for semiconductor integrated circuits with which the internal circuit is actuated at, for instance, 3 V and the input-output circuit is actuated at 5 V. That is, for instance, CMOS inverters 71 and 72 of the data output circuit shown in Figure 7 are actuated by a VDD_2 power source system and CMOS output buffer 72 is actuated by a VDD_1 power system and output line 75 can be set at the V_{SS} potential and the VDD_1 potential by making the threshold voltage of P channel transistor 74 equal to or greater than VDD_1 (for instance, 5 V) - VDD_2 (for instance, 3 V) at this output buffer 73.

[Results of the Invention]

As previously described, by means of the drive circuit of the present invention, the circuit structure is simple, the surface area occupied on the semiconductor chip is small, and high-speed driving of the output line is possible. Therefore, it is ideal for use as the word line drive circuit of a semiconductor memory, etc.

4. Brief Description of the Drawings

Figure 1 is a circuit diagram showing part of a conventional DRAM; Figure 2 is a graph showing changes in the potential of the word line of Figure 1; Figure 3 is a circuit diagram showing an example of the drive circuit of the present invention; Figure 4 is a graph showing changes in the potential of the word line in Figure 2; Figure 5 is a schematic representation showing the main parts of a

semiconductor memory that represents an example of application of the present invention; and Figures 6 and 7 are circuit diagrams showing other examples of the present invention.

30 is a CMOS inverter; 31, 61, and 62 are P channel transistors; 32, 63, and 64 are N channel transistors; 60 is an NOR gate; WL is a word line; RC is a row decode signal; VDD_1 is a first power source potential; VDD_2 is a second power source potential; and VTP , VTP_1 , and VTP_2 are threshold voltages.

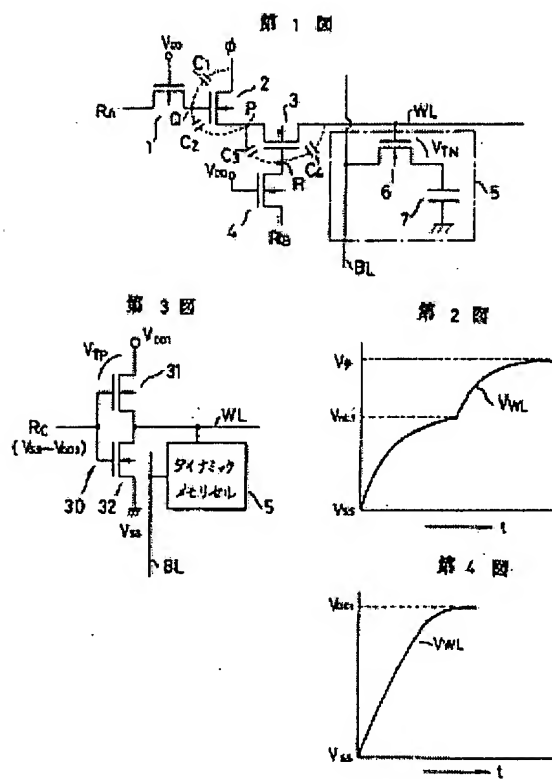
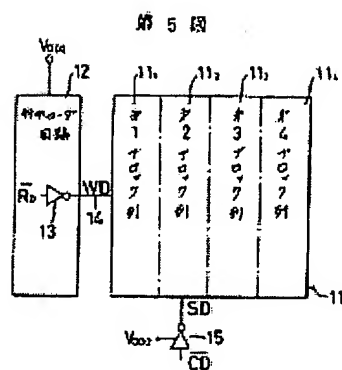


図 = Figure

Figure 3.

5. Dynamic memory cell



第 6 図

第 7 図

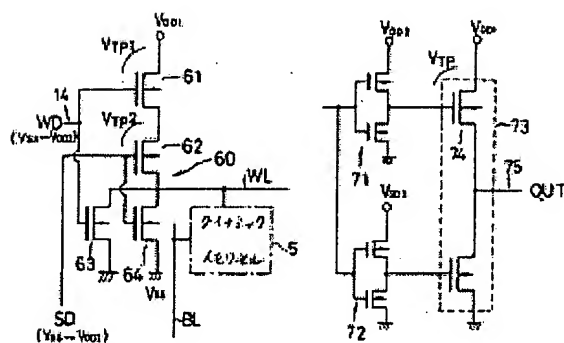


図 = Figure

Figure 5.

- 11₁. First block row
- 11₂. Second block row
- 11₃. Third block row
- 11₄. Fourth block row
- 12. Row decoder circuit

Figure 6.

- 5. Dynamic memory cell

① 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭59—213090

⑤ Int. Cl.³
G 11 C 11/34

識別記号
1 0 1

庁内整理番号
8320—5 B
6549—5 B

③ 公開 昭和59年(1984)12月1日

発明の数 2
審査請求 未請求

(全 6 頁)

④ 駆動回路

京芝浦電気株式会社総合研究所
内

⑥ 特 願 昭58—87041

⑦ 出 願 人 株式会社東芝

⑧ 出 願 昭58(1983)5月18日

川崎市幸区堀川町72番地

⑨ 発 明 者 斎藤伸二

⑩ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

駆 動 回 路

2. 特許請求の範囲

(1) 第1の電源電位にソースが接続されたPチャネルMOSトランジスタと、このPチャネルMOSトランジスタのドレインと接地端との間に挿入接続されたNチャネルMOSトランジスタとを具備し、これらのトランジスタのゲート入力として前記第1の電源電位より低い第2の電源電位で動作する第2電源系回路からの出力信号が導かれ、前記PチャネルMOSトランジスタの閾値電圧が前記第1の電源電位と第2の電源電位との差に等しいかそれよりも大きいことを特徴とする駆動回路。

(2) 前記PチャネルMOSトランジスタのドレインとNチャネルMOSトランジスタのドレインとが接続されてCMOSインバータが形成されてなることを特徴とする前記特許請

求の範囲第1項記載の駆動回路。

(3) 前記CMOSインバータは半導体メモリに用いられ、その入力として行デコード信号が導かれ、その出力でワード線を駆動することを特徴とする前記特許請求の範囲第1項記載の駆動回路。

(4) 第1、第2のPチャネルMOSトランジスタが直列接続され、その一端が第1の電源電位に設定され、その他端が第1、第2のNチャネルMOSトランジスタを並列に介して接地され、第1のPチャネルMOSトランジスタと第1のNチャネルMOSトランジスタとのゲート相互が接続されて前記第2電源系回路からの第1の出力信号が導かれ、第2のPチャネルMOSトランジスタと第2のNチャネルMOSトランジスタとのゲート相互が接続されて前記第2電源系回路からの第2の出力信号が導かれるノアゲートからなり、上記2個のPチャネルMOSトランジスタのうちの少なくとも1個の閾値電圧は、

前記第1の電源電位と第2の電源電位との差に等しいかそれよりも大きいことを特徴とする駆動回路。

(5) 前記ノアゲートはメモリセルアレイが複数のブロック列に分割された半導体メモリに用いられ、前記第1の出力信号は行デコード信号であり、第2の出力信号は前記複数のブロック列を選択するためのブロック列選択信号であり、ノアゲートの出力によりメモリセルアレイに共通のワード線を駆動することを特徴とする前記特許請求の範囲第4項記載の駆動回路。

(6) 前記第2の電源電位は、第1の電源電位で動作する定電圧回路で発生されることを特徴とする前記特許請求の範囲第1項記載の駆動回路。

8. 発明の詳細な説明

〔発明の技術分野〕

本発明は、ダイナミックランダムアクセス型の半導体メモリの行デコード回路などに使用さ

れる駆動回路に関する。

〔発明の技術的背景〕

ダイナミックランダムアクセスメモリ（以下DRAMと略記する）の大容量化に伴うメモリセルの微細化により、メモリセルの保持電荷量が減少し、これによつてα線入射によるソフトエラーを起こしたり、読み出し速度が遅くなつたりする問題が発生している。そこで、メモリセルの保持電荷量を大きくするために、従来のDRAMは第1図に示すような容量結合を利用している。即ち、1〜4は行デコード回路のNチャンネルエンハンスメント型トランジスタ、5はダイナミックメモリセルであつて、トランスファゲート用のNチャンネルE型トランジスタ6と記憶用容量7とで構成されており、WLはワード線、BLはビット線である。VDDは電源電位、φはクロック信号、RAおよびRBはそれぞれ行デコード信号であり、前記トランジスタ1、4のゲートにはVDD電位が印加されており、トランジスタ1の一端に信号RAが印

加され、トランジスタ4の一端に信号RBが印加され、トランジスタ2の一端に信号φが印加される。

いま、メモリセル5を選択する場合、先ず信号RAおよびRBを高電位（VDD）にしてトランジスタ1、4を導通状態（オン）にする。このとき、トランジスタ2と3との接続点Pの電位VP、およびワード線WLの電位VWLは

$$VP_1 = VWL_1 = VDD - VTH_4 - VTH_3 \dots (1)$$

となる。ここで、VTH₄、VTH₃はそれぞれバックゲートバイアス効果のあるトランジスタ4、3の閾値電圧である。

また、トランジスタ1と2との接続点Qの電位VQは

$$VQ = VDD - VTH_1 \dots (2)$$

となる。ここで、VTH₁はバックゲートバイアス効果のあるトランジスタ1の閾値電圧である。次に、クロック信号φを印加する（つまり、接地電位からVφ = VDD + 2V程度まで変化させる）。このクロック信号φの入力端と前記Q点

とは容量C₁で結合しており、上記Q点と前記P点とは容量C₂で結合しており、上記P点と図示R点とは容量C₃で結合しており、上記R点とワード線WLとは容量C₄で結合しているの、これらの容量結合により上記Q点、P点、R点、ワード線WLの電位が上昇する。第2図は上記ワード線WLの電位VWLの時間推移を示したものであり、クロック信号φを印加する前はVWLは前式(1)のVWL₁であり、クロック信号φを印加した後はVWLはほぼVφ（クロック信号φの電位）になる。たとえばVDD = 5Vとすると、VWL₁ ≒ 2V、Vφ ≒ 7V程度である。このようにクロック信号φ印加によりワード線WLを上記約7Vの電位にし、メモリセル5の書き込み、読み出し動作を行なう。このとき、メモリセル5の容量7は、VWL - VTHN（トランスファゲート6の閾値電圧であり、約2V）≒ 5Vの電位まで充電され、5Vで読み出される。

〔背景技術の問題点〕

しかし、上述したようにクロック信号 ϕ を印加して容量結合によりワード線電位を高く設定することによつてメモリセルの容量の電荷量を大きくすることに伴ない、回路構成が複雑化する欠点があり、結合用の大きな容量を必要とするのでメモリチップ上の占有面積が増大化する欠点があり、容量結合によりワード線のアクセス時間が長くなる欠点などがある。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、回路構成が簡単で半導体チップ上の占有面積が小さくて済み、出力線を高速駆動し得る駆動回路を提供するものである。

〔発明の概要〕

即ち、本発明の駆動回路は、PチャネルMOSトランジスタのソースを第1の電源電位に設定し、そのドレインと接地端との間にNチャネルMOSトランジスタを挿入接続し、これらのトランジスタのゲート入力として前記第1

の電源電位より低い第2の電源電位で動作する第2電源系回路からの出力信号を導き、前記PチャネルMOSトランジスタの閾値電圧を前記第1の電源電位と第2の電源電位との差に等しいかそれよりも大きくしたことを特徴とするものである。

このような駆動回路によれば、ゲート入力が高電位（接地電位）のときにはPチャネルトランジスタがオン、Nチャネルトランジスタがオフになつて、そのドレインに接続される出力線を接地電位から第1の電源電位まで高速に充電して昇圧駆動する。また、ゲート入力が高電位（第2の電源電位）のときには、Nチャネルトランジスタがオン、Pチャネルトランジスタはオフになり、前記出力線を高速に放電させて接地電位へ降圧駆動する。また、結合用容量とかクロック信号 ϕ を用いないので、回路構成は至つて簡単であり、半導体チップ上の占有面積が小さくて済む。

〔発明の実施例〕

以下、図面を参照して本発明の一実施例を詳細に説明する。

第3図において、5はDRAMのメモリセルであつて、第1図を参照して前述したようにトランスファゲート6と記憶用容量7とで構成されており、WLはワード線、BLはビット線である。30はCMOSトランジスタ（相補型絶縁ゲート型トランジスタ）で構成されたCMOSインバータであつて、行デコード信号RCにより前記ワード線WLを駆動する駆動回路として用いられている。即ち、Pチャネルエンハンスメント型トランジスタ31のソースがVDD₁電位の第1電源に接続され、Nチャネルエンハンスメント型トランジスタ32のソースがVSS電位（接地電位）端に接続され、上記両トランジスタ31、32の各ドレインは相互に接続されると共に前記ワード線WLに接続され、各ゲートは相互に接続されると共に行デコード信号RCが印加される。

そして、上記行デコード信号RCは、前記第1電源系の電源電位VDD₁よりは低い電源電位VDD₂の第2電源系で作られたものであり、VSS(0V)からVDD₂まで変化する。この場合、VDD₁電位は第1電源系で動作する定電圧回路（図示せず）で発生される。

次に、上記駆動回路の動作を説明する。いま、行デコード信号RCが低電位（VSS）のとき、Pチャネルトランジスタ31は導通（オン）し、Nチャネルトランジスタ32は非導通（オフ）になる。したがつて、ワード線WLの電位VWLはVDD₁になる。これに対して、行デコード信号RCが高電位（VDD₂）のとき、Nチャネルトランジスタ32はオンになり、Pチャネルトランジスタ31はその閾値電圧V_{THP}を

$$V_{THP} \geq V_{DD_1} - V_{DD_2}$$

となるように予め設定しておくことによつてオフになる。したがつて、ワード線WLの電位VWLはVSSになる。このワード線WLの電位

VWLの時間推移を第4図に示している。

即ち、上記駆動回路によれば、前述したような容積結合を用いておらず、ワード線WLを低電位(V_{SS})から高電位(V_{DD_1})へ高速にアクセスすることが可能であり、その回路構成は至つて簡単であり、結合用の大きな容量を必要としないのでメモリチップ上の占有面積が小さくて済む。

次に、本発明の応用例を第5図および第6図を参照して説明する。第5図において、11はDRAMのメモリセルアレイであつて、たとえば第1ブロック列11、～第4ブロック列11、の4ブロックに等分されている。12は行デコード回路であつて、 V_{DD_2} 電位の第2電源系で動作する。13は上行デコード回路12内で行デコード信号 \overline{RD} が入力するインバータであつて、 V_{SS} 電位と V_{DD_1} 電位との間で変化するワード線駆動信号WDを共通ワード線14へ送り出す。この共通ワード線14は前記各ブロック列11、～11、へ共通に接続されている。

一方、15はブロック列選択回路であつて、 V_{DD_2} 電位の第2電源系で動作するインバータからなり、ブロック列選択用デコード信号CDが入力し、 V_{SS} 電位と V_{DD_2} 電位との間で変化するブロック列選択信号SDを出力する。そして、前記各ブロック列11、～11、にはそれぞれ第6図に示すようなノアゲート60からなるワード線駆動回路を設けておき、各ブロック列毎にそれぞれのワード線WLおよびメモリセル5を高速に選択するようにしている。即ち、第6図のワード線駆動回路は第1電源系で動作するものであり、 V_{DD_1} 電位端と V_{SS} 電位端との間に第1、第2のPチャネルトランジスタ61、62および第1のNチャネルトランジスタ63が直列に接続され、この第1のNチャネルトランジスタ63に並列に第2のNチャネルトランジスタ64が接続されている。そして、上記トランジスタ61、63の各ゲートに前記共通ワード線14のワード線駆動信号WDが導かれ、トランジスタ62、64の各ゲート

に前記ブロック列選択信号SDが導かれ、トランジスタ62、63、64の各ドレインの相互接続点に各ブロック列内のワードWLが接続されている。なお、上記トランジスタ61の閾値電圧 V_{TP_1} およびトランジスタ62の閾値電圧 V_{TP_2} はそれぞれ V_{DD_1} と V_{DD_2} との差に等しいかもしくはそれよりも大きい値を有している。

したがつて、共通ワード線14の信号WDが低電位(V_{SS})、ブロック列選択信号SDが低電位(V_{SS})のときに、トランジスタ61および62がオンになり、トランジスタ63および64がオフになり、ワード線WLが V_{DD_1} 電位になつてメモリセル5の選択が行なわれる。これに対して、共通ワード線14の信号WDもしくはブロック列選択信号SDが高電位(V_{DD_2})のとき、トランジスタ61もしくは62がオフになり、トランジスタ63もしくは64がオンになり、ワード線WLが V_{SS} 電位になつて非選択状態になる。

なお、前記ノアゲートのPチャネルトラン

ジスタ61、62は少なくとも一方の閾値電圧が $\geq V_{DD_1} - V_{DD_2}$ になつていればよい。

また、第5図の各ブロック列11、～11、に対応してブロック列選択回路を設け、各ブロック列における前記ノアゲートの一方の入力として対応するブロック列選択回路からの選択信号SD1($i=1\sim 4$)を導くように変更してもよい。

なお、本発明は上記実施例、応用例に示したようなDRAMのみに限らず、外部電源電位(V_{DD_1})が5V、内部電源電位(V_{DD_2})がたとえば3Vの如く2電源系統を有するスタティックRAMあるいはEPROM(電気的書き込み可能な脱出専用メモリ)などにも適用可能である。

さらに、本発明は上述したようなワード線用の駆動回路のみに限らず、内部回路をたとえば3Vで動作させ入出力回路を5Vで動作させるような半導体集積回路にも適用可能である。即ち、たとえば第7図に示すようなデータ出力回路のCMOSインバータ71、72を V_{DD_2} 電源

系で動作させ、CMOS出力バッファ73を V_{DD1} 電源系で動作させるようにし、この出力バッファ73におけるPチャンネルトランジスタ74の閾値電圧を V_{DD1} （たとえば5V）- V_{DD2} （たとえば3V）に等しいかそれよりも大きくしておくことによつて、出力線76を V_{BB} 電位と V_{DD1} 電位とに設定することができる。
〔発明の効果〕

上述したように本発明の駆動回路によれば、回路構成が簡単で半導体チップ上の占有面積が小さくて済み、出力線を高速駆動することができるので、半導体メモリのワード線駆動回路などに使用して好適である。

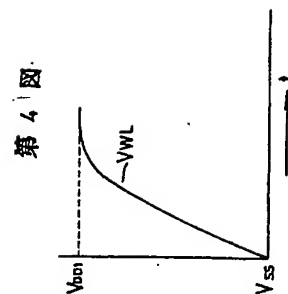
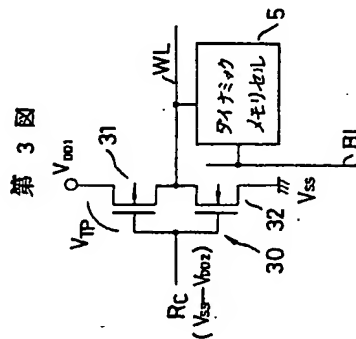
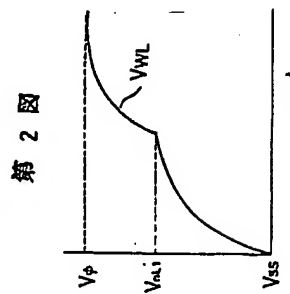
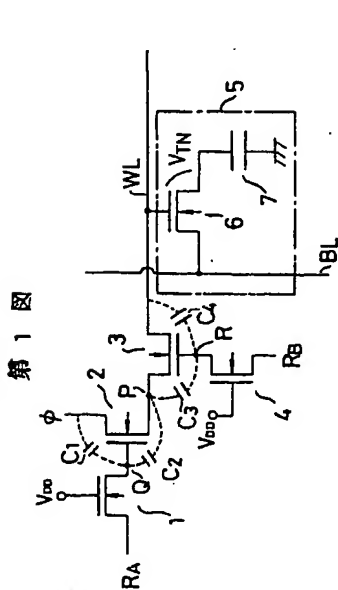
4. 図面の簡単な説明

第1図は従来のDRAMの一部を示す回路図、第2図は第1図のワード線の電位変化を示す特性図、第3図は本発明に係る駆動回路の一例を示す回路図、第4図は第2図のワード線の電位変化を示す特性図、第5図は本発明の応用例を示す半導体メモリの装部を示す構成説明図、第

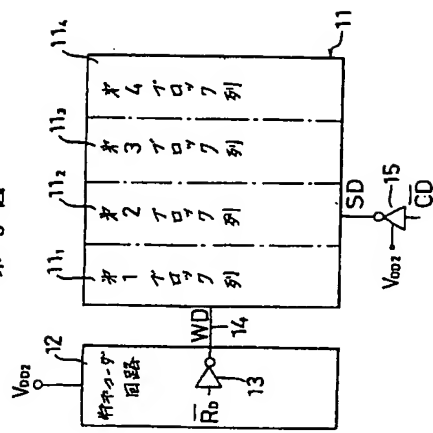
6図および第7図はそれぞれ本発明の他の実施例を示す回路図である。

30…CMOSインバータ、31、61、62…Pチャンネルトランジスタ、32、63、64…Nチャンネルトランジスタ、60…ノアゲート、WL…ワード線、RC…行デコード信号、 V_{DD1} …第1の電源電位、 V_{DD2} …第2の電源電位、 V_{TP} 、 V_{TP1} 、 V_{TP2} …閾値電圧。

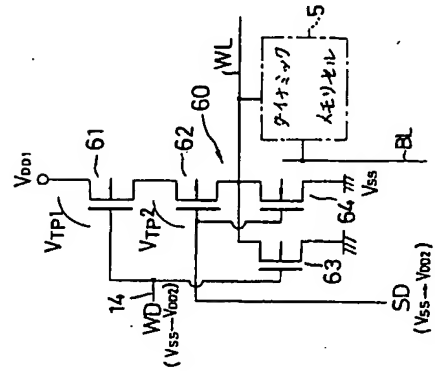
出願人代理人 弁理士 鈴 江 武 彦



第 5 図



第 6 図



第 7 図

